

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-286497

(43)Date of publication of application : 17.12.1991

(51)Int.Cl.

G11C 16/06
H01L 27/10
H01L 29/788
H01L 29/792

(21)Application number : 02-082946

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1990

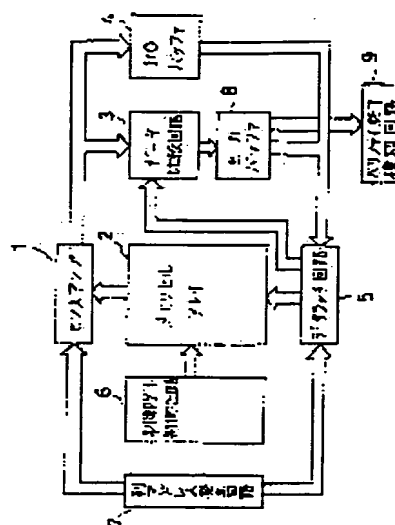
(72)Inventor : IWATA YOSHIHISA
OUCHI KAZUNORI
TANAKA TOMOHARU
ITO YASUO
MOMOTOMI MASAKI
MASUOKA FUJIO

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To set the threshold value of a memory cell within a prescribed range by providing a write verify control circuit to confirm a data write state by impressing a prescribed write verify potential to the control gate of the selected memory cell.

CONSTITUTION: A control gate control circuit 6 outputs prescribed control signals to the control gate line of a memory cell array 2 corresponding to respective operations such as data write, erase, read and verify. After executing a write operation according to data to be written latched by a data latch circuit 5, the write verify operation is executed by the control circuit 6. In such a case, when all the write data are set within desired threshold distribution, the signal of data write end is obtained by a verify end detection circuit 9. Thus, the threshold value of the memory cell in the data write state can be set within the prescribed range.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3190031号
(P3190031)

(45) 発行日 平成13年 7 月16日 (2001. 7. 16)

(24) 登録日 平成13年 5 月18日 (2001. 5. 18)

(51) Int.Cl.⁷

識別記号

F I

G 1 1 C 16/02
16/04

G 1 1 C 17/00

6 1 2 B

6 2 2 E

請求項の数 9 (全 15 頁)

(21) 出願番号 特願平2-82946

(22) 出願日 平成 2 年 3 月31日 (1990. 3. 31)

(65) 公開番号 特開平3-286497

(43) 公開日 平成 3 年12月17日 (1991. 12. 17)

審査請求日 平成 9 年 1 月17日 (1997. 1. 17)

(73) 特許権者 999999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町 1 番地

株式会社東芝総合研究所内

(72) 発明者 大内 和則

神奈川県川崎市幸区小向東芝町 1 番地

株式会社東芝総合研究所内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町 1 番地

株式会社東芝総合研究所内

(74) 代理人 999999999

弁理士 鈴江 武彦 (外 3 名)

審査官 高橋 宣博

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

1

(57) 【特許請求の範囲】

【請求項 1】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されて NAND セルを構成してマトリクス配列されたメモリセルアレイと、前記メモリセルの制御ゲートがそれぞれ複数接続されてなる複数のワード線とを有する不揮発性半導体記憶装置において、

前記複数のワード線に接続された複数の制御ゲートに同時に所定の消去ペリファイ電位を印加して、データ消去を行うすべてのメモリセルのデータ消去状態をビット線電流により確認する消去ペリファイ制御回路を有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】前記メモリセルは、複数個ずつ接続されて一単位を形成していることを特徴とする請求項 1 記載の

2

不揮発性半導体記憶装置。

【請求項 3】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されて NAND セルを構成してマトリクス配列されたメモリセルアレイと、前記メモリセルの制御ゲートがそれぞれ複数接続されてなる複数のワード線とを有する不揮発性半導体記憶装置において、データ消去の際、複数のワード線に接続された複数の制御ゲートに同時に所定の消去ペリファイ電位を印加して、データ消去を行うすべてのメモリセルのデータ消去状態をビット線電流により確認する消去ペリファイ制御回路と、

データ書込みの際、データ書込みを行う選択メモリセルの制御ゲートに所定の書込みペリファイ電位を印加して

3

データ書込み状態を確認する書込みベリファイ制御回路とを有することを特徴とする不揮発性半導体記憶装置。

【請求項4】データ書込みの際、1本のワード線に対して所定の書込みベリファイ電位を印加して書込みベリファイ動作が行われることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】前記消去ベリファイ制御回路は、所定の動作時間を設定して読出しを行うためのタイマを内蔵することを特徴とする請求項1乃至4のいずれか1項記載の不揮発性半導体記憶装置。

【請求項6】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、

前記メモリセルの制御ゲートがそれぞれ複数接続されてなる複数のワード線と、

前記メモリセルアレイのビット線に書込みデータを与えるデータ入力バッファおよびデータラッチ回路と、

前記メモリセルアレイのビット線データを読出すセンスアンプ回路及びデータ出力バッファと、

前記メモリセルアレイにデータ書込みを行った後に、書込み状態を確認するための書込みベリファイ電位を順次選択された制御ゲートに印加してデータ読出しを行う書込みベリファイ制御回路と、

前記データラッチ回路とセンスアンプ回路の出力を比較してその結果を一時ラッチする機能を持つデータ比較回路と、

前記データ比較回路の出力により書込み状態を確認して、書込み不十分のメモリセルに対して再書込みを行う手段と、

データ消去の際、複数のワード線に接続された複数の制御ゲートに同時に所定の消去ベリファイ電位を印加して、データ消去を行うすべてのメモリセルのデータ消去状態をビット線電流により確認する消去ベリファイ制御回路と

を有することを特徴とする不揮発性半導体記憶装置。

【請求項7】前記メモリセルは、複数個ずつ接続されて一単位を形成していることを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項8】データ消去は、前記一単位を形成するメモリセルに対して同時に行われることを特徴とする請求項2または7記載の不揮発性半導体記憶装置。

【請求項9】データ消去は、ブロック内のすべてのメモリセルに対して同時に行われることを特徴とする請求項1乃至7のいずれか1項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【発明の目的】

（産業上の利用分野）

4

本発明は、電氣的書替え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にNANDセル構成のメモリセルアレイを有するEEPROMに関する。

（従来の技術）

EEPROMの一つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続して一単位としてビット線に接続するものである。メモリセルは通常電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板またはn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

このNANDセル型EEPROMの動作は次の通りである。データ書込みの動作は、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} （＝20V程度）を印加し、それよりビット線側にあるメモリセルの制御ゲートおよび選択ゲートには中間電位 V_{ppM} （＝10V程度）を印加し、ビット線にはデータに応じて0Vまたは中間電位を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これによりその選択されたメモリセルのしきい値は正方向にシフトする。この状態をたとえば“1”とする。ビット線に中間電位が与えられたときは電子注入が起らず、従ってしきい値は変化せず、負に止まる。この状態は“0”である。

データ消去は、NANDセル内のすべてのメモリセルに対して同時に行われる。すなわち全ての制御ゲート、選択ゲートを0Vとし、ビット線およびソース線を浮遊状態として、p型ウェルおよびn型基板に高電圧20Vを印加する。これにより、全てのメモリセルで浮遊ゲートの電子がp型ウェルに放出され、しきい値は負方向にシフトする。

データ読出し動作は、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲートおよび選択ゲートを電源電位 V_{cc} （＝5V）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

以上の動作説明から明らかなように、NANDセル型EEPROMでは、書込みおよび読出し動作時には非選択メモリセルは転送ゲートとして作用する。この観点から、書込みがなされたメモリセルのしきい値電圧には制限が加わる。たとえば、“1”書込みされたメモリセルのしきい値の好ましい範囲は、0.5～3.5V程度となる。データ書込み後の経時変化、メモリセルの製造パラメータのばらつきや電源電位のばらつきを考慮すると、データ書込み後

5

のしきい値分布はこれより小さい範囲であることが要求される。

しかしながら、従来のような、書込み電位および書込み時間を固定して全メモリセルを同一条件でデータ書き込みする方式では、“1”書込み後のしきい値範囲を許容範囲に収めることが難しい。たとえばメモリセルは製造プロセスのばらつきからその特性にもばらつきが生じる。従って書き込み特性を見ると、書込まれやすいメモリセルと書込まれにくいメモリセルがある。従来はこれに対して、書込まれにくいメモリセルに十分に書込まれるように、書込み時間に余裕を持たせて全メモリセルを同一条件で書込むという事が一般に行われている。これでは、書込まれ易いメモリセルには必要以上に書込まれ、しきい値電圧が許容範囲を越えて高くなってしま

う。

一方、“0”書込みしたメモリセル、或いはデータ消去したNANDセルのメモリセルのしきい値電圧が負方向にある値以上大きくなっていないと、これも問題になる。すなわち“0”書込みしたメモリセルのしきい値は、これによってデータ読出し時のセル電流（読出し電流）が変化し、その結果アクセスタイムが変化するから、EEPROMの仕様を左右する。またデータ消去によって十分に消去がなされていないと、その後のデータ書き込みで“1”状態のしきい値が必要以上に高くなってしまい、しきい値の許容範囲を越えることになる。

（発明が解決しようとする課題）

以上のように従来のNANDセル型EEPROMでは、データ消去や書込みの際、メモリセルのしきい値を許容範囲に収めることが難しい、という問題があった。

本発明は、データ消去状態のメモリセルのしきい値を所定範囲に収めることを可能としたNANDセル型のEEPROMを提供することを目的とする。

本発明はまた、データ消去状態およびデータ書き込み状態のメモリセルのそれぞれのしきい値を所定範囲に収めることを可能としたNANDセル型のEEPROMを提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

本発明は、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、前記メモリセルの制御ゲートがそれぞれ複数接続されてなる複数のワード線とを有する不揮発性半導体記憶装置において、前記複数のワード線に接続された複数の制御ゲートに同時に所定の消去ペリファイ電位を印加して、データ消去を行うすべてのメモリセルのデータ消去状態をビット線電流により確認する消去ペリファイ制御回路を有することを特徴とする。

本発明はまた、その様なEEPROMにおいて、消去ペリフ

6

ファイ制御回路と共に、データ書込みの際、データ書込みを行う選択メモリセルの制御ゲートに所定の書込みペリファイ電位を印加してデータ書込み状態を確認する書込みペリファイ制御回路を有することを特徴とする。

（作用）

本発明においては、データ消去後に順次選択されたNANDセルの全てのメモリセルに例えば0Vを印加して読出しを行う消去ペリファイ動作を実行し、ある設定された時間内に“0”読出しができないNANDセルが一個でもある場合には、データ消去が不十分であると判断する。その場合、全てのNANDセル（ブロック毎のデータ消去を行う場合であればそのブロック内の全てのNANDセル）について再度データ消去動作を実行する。そしてまた同じ読出し動作を実行する。この操作を繰返し行い、全てのNANDセルの読出し時間がある値以下になったら、データ消去動作を終了する。以上のような制御動作により、全てのNANDセル内のメモリセルのしきい値がある値より小さい状態（nチャネルであれば十分に負の状態）を得ることができる。これは、NANDセルの読出し電流が一つのNANDセル内に含まれるメモリセルのうちで最もしきい値の高いもので制限されるからである。

本発明においてはまた、消去ペリファイ動作と共に、データ書き込みを行った後に、書込みペリファイ制御回路によってデータ書き込まれたメモリセルのしきい値電圧を評価する。そして所望のしきい値に達していないメモリセルがあれば、書込み動作を追加する。その後再度しきい値の評価を行う。この操作を繰返し行い、すべてのメモリセルのしきい値が所望の許容範囲に収まっていることを確認したら書込み動作を終了する。

この様にして本発明によれば、データ消去状態さらに必要ならばデータ書き込み状態のメモリセルのそれぞれのしきい値を所定範囲に収めることを可能としたNANDセル型のEEPROMを得ることができる。

（実施例）

以下、本発明の実施例を図面を参照して説明する。

第1図は一実施例におけるNANDセル型EEPROMの構成を示している。図では、番地選択を行うためのアドレスバッファおよび行、列のアドレスデコーダ等は省略して、書込みおよび消去のペリファイ動作に関係する部分の構成を示している。メモリセルアレイ2に対して、データ書込みおよび読出しを行うためにデータラッチ回路5およびセンスアンプ回路1が設けられている。これらセンスアンプ回路1、データラッチ回路5はデータ入出力バッファ4につながる。制御ゲート制御回路6は、メモリセルアレイ2の制御ゲート線にデータ書込み、消去、読出しおよびペリファイの各動作に対応して所定の制御信号を出力するものである。データラッチ回路5とセンスアンプ回路2は、書込みペリファイ動作時には、列アドレス発生回路7から出力される列アドレスにしたがってセンス動作と再書き込みすべきデータのラッチを行う。デ

7

ータ比較回路3はやはりベリファイ動作時、データラッチ回路5にラッチされた書込みデータと、センスアンプ回路1により読み出されたデータの一致を列アドレスごとと比較検出し、その結果をラッチする機能を有する。この比較回路3の出力は出力バッファ8を介してベリファイ終了検知回路9に導かれる。データラッチ回路5にラッチされた書込むべきデータにしたがって書込み操作が行われた後に、制御回路6による書込みベリファイ動作を行って、書込みデータがすべて所望のしきい値分布内に入っている場合にはこのベリファイ終了検知回路9により、データ書込み終了の信号が得られる。データ書込み終了信号が出ない場合には、再度データ書込み動作を行い、ベリファイ動作を繰り返すことになる。

第2図(a)(b)は、メモリセルアレイの一つのNANDセル部分の平面図と等価回路図であり、第3図(a)(b)はそれぞれ第2図(a)のA-A'およびB-B'断面図である。素子分離酸化膜12で囲まれたp型シリコン基板(またはp型ウェル)11に複数のNANDセルからなるメモリセルアレイが形成されている。一つのNANDセルに着目して説明するとこの実施例では、8個のメモリセルM1~M8が直列接続されて一つのNANDセルを構成している。メモリセルはそれぞれ、基板11にゲート絶縁膜13を介して浮遊ゲート14(14i, 14j, ..., 14g)が形成され、この上に層間絶縁膜15を介して制御ゲート16(16i, 16j, ..., 16g)が形成されて、構成されている。これらのメモリセルのソース、ドレインであるn型拡散層19は隣接するもの同志共用する形で、メモリセルが直列接続されている。NANDセルのドレイン側、ソース側には夫々、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート149, 169および1410, 1610が設けられている。素子形成された基板上はCVD酸化膜17により覆われ、この上にビット線18が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19にはコンタクトさせている。行方向に並ぶNANDセルの制御ゲート14は共通に制御ゲート線CG1, CG2, ..., CG8として配設されている。これら制御ゲート線はワード線となる。選択ゲート149, 169および1410, 1610もそれぞれ行方向に連続的に選択ゲート線SG1, SG2として配設されている。

第4図は、この様なNANDセルがマトリクス配列されたメモリセルアレイの等価回路を示している。

第5図は、第1図の中のセンスアンプ回路1, データラッチ回路5, データ比較回路3, 出力バッファ8の部分の具体的な構成を示している。データラッチ回路5は、ラッチ信号LATCHとアドレスaiの論理によって選ばれたアドレスのデータがラッチ回路本体LAにラッチされる。センスアンプ回路1は、センス制御信号SENSEとアドレスaiの論理によって選ばれたアドレスのビット線データをセンスして出力する。このセンスアンプ回路1の出力は、データラッチ回路5の対応するデータと比較回路3によって比較され、その結果ラッチ信号LATCHV, $\Delta LATCH$

8

HV▼によってラッチされることになる。次にその結果に応じてラッチ回路本体LAに出力する。そしてラッチ信号LATCHV, $\Delta LATCHV$ ▼を解除して次のアドレスの論理で選ばれるものに備える。

第6図は、第1図における制御ゲート制御回路6の部分の具体的な構成を示している。この制御回路は、書込み時に選択ゲートに高電位Vppを与える高電位供給回路21、同じく書込み時に非選択の制御ゲートに中間電位VppMを与える中間電位供給回路22、書込みベリファイ制御信号W-VERIFYにより選択的に書込みベリファイ電位VVERを与える書込みベリファイ電位供給回路23、および読出し信号READ, 消去信号ERASEおよび消去ベリファイ制御信号E-VERIFYにより制御ゲート電位を設定する消去/読出し制御回路24により構成されている。この様な回路が各制御ゲート線毎に設けられる。高電位供給回路21は、書込み信号WRITEとアドレスaiの論理をとるNANDゲートG1により制御されるEタイプ、nチャネルのスイッチングMOSトランジスタQE1とEタイプ、pチャネルのスイッチングMOSトランジスタQP1、および出力バッファとなるEタイプ、pチャネルMOSトランジスタQP2を主体として構成されている。MOSトランジスタQE1とQP1の間、MOSトランジスタQP1と高電位Vpp端子の間には、それぞれスイッチングMOSトランジスタを高電位から保護するためのnチャネルMOSトランジスタQD1, QD2が設けられている。これらのMOSトランジスタQD1, QD2はDタイプである。バッファ段MOSトランジスタQP1の上下にも同様に、Dタイプ、nチャネルMOSトランジスタQD3, QD4が設けられている。出力段にこの様にpチャネルMOSトランジスタとDタイプ、nチャネルMOSトランジスタを用いているのは、高電位Vppをしきい値降下なく制御ゲート線に供給するためである。とくにMOSトランジスタQD4は、他の回路から制御ゲート線に正電位が供給された時にpチャネルMOSトランジスタQP2のドレイン接合が順バイアスになるのを防止する働きをする。中間電位供給回路22も、高電位供給回路21と同様に、NANDゲートG2、これにより制御されるEタイプ、nチャネルのスイッチングMOSトランジスタQE2とEタイプ、pチャネルのスイッチングMOSトランジスタQP3、出力バッファとなるタイプ、pチャネルMOSトランジスタQP4、およびDタイプ、nチャネルMOSトランジスタQD5~QD8により構成されている。

消去/読出し制御回路24は、読出し信号READとアドレス Δai の論理を取るNANDゲートG3, G5、消去信号ERASEと消去ベリファイ制御信号E-VERIFYの和をとるNORゲートG6、NANDゲートG5とG6の出力を選択するNANDゲートG7、これらNANDゲートG7とG3によりそれぞれ制御されるスイッチング用のEタイプ、nチャネルMOSトランジスタQE3とEタイプ、pチャネルMOSトランジスタQP5、これらのスイッチング用MOSトランジスタと制御ゲート線の間に設けられた保護用のDタイプ、nチャネルMOSトランジスタQD9, QD10により構成されている。

9

書込みベリファイ電位供給回路23は、書込みベリファイ信号W-VERIFYとアドレスaiの論理を取るNANDゲートG4とその出力を反転するインバータゲートI1、このインバータゲートI1により制御されてベリファイ電位VVERを制御線に供給するためのスイッチング用のEタイプ、nチャネルMOSトランジスタQE4、およびこのMOSトランジスタQE4と制御ゲート線の間に設けられた保護用のDタイプ、nチャネルMOSトランジスタQD11により構成されている。

第7図は、書込みベリファイ電位供給回路23に与えられるベリファイ電位VVERの発生回路の構成例である。書込みベリファイ電位VVERは、書込みベリファイ信号W-VERIFYが入ったときに電源電位Vccと接地電位の間に設定された中間電位を出力して、第6図のベリファイ電位供給回路23によって選択された制御ゲート線に供給されるもので、この実施例では、Vccと接地電位間に直列接続されたEタイプ、nチャネルのMOSトランジスタQE6とQE7を主体として構成されている。これらのMOSトランジスタのゲートに所定のバイアスを与えるために、抵抗R1〜R3の分圧回路が設けられている。原理的にはこれらの分圧回路の端子Aに電源電位Vccを与えればよいが、それでは貫通電流が流れることになる。これを防止するためこの実施例では、EタイプnチャネルMOSトランジスタQE8、QE9と、Eタイプ、pチャネルMOSトランジスタQP6、QP7、およびインバータI3による切替え回路を設けている。すなわちベリファイ信号VERIFYが“H”レベルになると、MOSトランジスタQE8がオン、QP7がオン、QE9がオフとなり、分圧回路の端子Aには電源電位Vccが供給される。これにより、分圧回路の分圧比で設定されるMOSトランジスタQE6、QE7の導通状態に対応した中間電位の書込みベリファイ電位VVERが得られる。ベリファイ信号W-VERIFYが“L”レベルの時は、MOSトランジスタQE9がオンとなり、分圧回路の端子Aは接地電位となり、ベリファイ電位VVERの端子はフローティングとなる。この時、切替え回路では、MOSトランジスタQP7がオフであるから、電流は流れない。

第8図は、NANDセルの二つの選択ゲートSG1、SG2の制御回路である。ロウ・デコーダの出力によって選択ゲートを選択するNANDゲートG11、G12およびそれらの出力端子に設けられたインバータI11およびI12を基本とする。書込み信号WRITEが“H”レベルのときに2入力NORゲートG13およびインバータI13によってNANDゲートG11に“H”レベルが入り、このときドレイン側の選択ゲートSG1が選択され、ソース側の選択ゲートSG2は選択されない。NORゲートG13の他方の入力端子には、消去信号ERASE、読出し信号READ、書込みベリファイ信号W-VERIFYおよび消去ベリファイ信号E-VERIFYが入るNORゲートG14とインバータI14が設けられている。即ち消去信号ERASE、読出し信号READ、書込みベリファイ信号W-VERIFY、消去ベリファイ信号E-VERIFYのいずれかが“H”レベルになる

10

と、NORゲートG13に“H”レベルが入り、二つ選択ゲートSG1、SG2が同時に選択されるようになっている。。

ただし消去ベリファイ信号E-VERIFYは、タイマ回路25を介してNORゲートG14に供給される。タイマ回路25はこの実施例では、一方の入力に消去ベリファイ信号E-VERIFYが直接入る2入力NANDゲートG15、その出力端子に設けられたインバータI15、消去ベリファイ信号E-VERIFYを一定時間だけNORゲートG14に供給するための遅延回路DLおよびインバータI16により構成されている。即ち消去ベリファイ信号E-VERIFY信号が“H”レベルになるとNORゲートG14に“H”レベルが入り、選択ゲートSG1、SG2が同時に選択される。そして、遅延回路DLで決まる時間の後にNANDゲートG15の二つの入力と共に“H”レベルとなり、NORゲートG14に供給されていた“H”レベルは“L”レベルに復帰する。

遅延回路DLは、例えば抵抗と容量により構成されるものでも、或いはリングオシレータの出力をカウンタで数えてあるカウント数になったら出力を出す回路でもよい。

第9図は、ベリファイ終了検知回路9の構成例であり、図示のようにフリップフロップとNANDゲートおよびインバータにより構成される。

次にこのように構成されたEEPROMの動作を説明する。

まずデータ書き込みに先立って全てのメモリセルのデータ消去を行う。データ消去時は全ての制御線（ワード線）CGに0Vが与えられる。すなわち第6図に示す制御回路において、消去／読出し制御回路24に消去信号ERASEが入り、これによりMOSトランジスタQE3がオンになって全ての制御ゲート線CGiが0Vとされる。この時選択ゲート線SG1、SG2も同様に0Vとされる。そしてビット線およびソース線をフローティング状態として、メモリセルレイが形成されたp型基板（またはp型ウェルおよびn型基板）に高電圧Vppが印加される。このバイアス状態を例えば、10m secの間保つことにより、全てのメモリセルで浮遊ゲートから電子が放出され、しきい値が負の“0”状態になる。

消去されたメモリセルのしきい値が十分負になっているか否かをチェックする消去ベリファイ動作は次のように行われる。第6図の制御回路において、消去／読出し制御回路24に消去ベリファイ信号E-ERASEが入り、スイッチングMOSトランジスタQE3がオンになって、アドレスとは無関係に選択されたNANDセル内の全てのメモリセルの制御ゲートが0Vに設定される。選択ゲートSG1、SG2も同時に、第8図の制御回路に消去ベリファイ信号E-ERASEが入ることにより選択され、例えば5Vに設定される。ビット線には例えば1.5Vが与えられ、ソース線は0Vとされる。このとき、選択ゲートSG1、SG2が5Vになっている時間は、消去したメモリセルのしきい値がある程度負になっていたらデータ“0”が読み出せる時間に設定される。これは第8図の遅延回路DLを持つタイマ回路25に

11

よって設定される。例えば、制御ゲートが全て0Vでビット線が1.5Vのときメモリセルが10 μ A流せる時の読みだし時間が200n secであった時のしきい値より低くしようとする、この読出し時間を150n secに設定する。そしてこの設定された時間にデータ“0”が読み出されない場合には、再度データ消去を行い、条件を満たすまで同様のペリファイ動作を繰り返す。

データ書込みは、1ワード分のデータがデータラッチ回路5にラッチされ、そのデータによってビット線電位が制御されて“0”または“1”が書き込まれる。この時選択された制御ゲート線に高電位Vpp、それよりビット線側にある非選択制御ゲート線に中間電位VppMが印加される。第6図の制御回路では書込み信号WRITEが入力される。即ち書込み信号WRITEとアドレスai、 $\blacktriangle \overline{a_i} \blacktriangledown$ の論理によって、高電位供給回路21または中間電位供給回路22がオンとなって選択された制御ゲート線にVpp、非選択の制御ゲート線にVppMが印加される。ビット線BLには、データ“1”書込みの時は0V、“0”書込みの時は中間電位が与えられる。このデータ書込みのバイアス条件を保持する時間は、従来の書込み法に比べて十分に短いもの、例えば従来の1/100程度、具体的には10 μ sec程度とする。“1”が書かれたメモリセルではしきい値が正方向にシフトし、“0”が書かれたメモリセルではしきい値は負に止まる。

次に書込みペリファイ動作に入る。この実施例においては、データ“1”が書かれたメモリセルのしきい値が所望の値に達しているか否かがチェックされる。この所望のしきい値はメモリセルのデータ保持特性を考慮して決められるもので、例えば2.5V程度である。この様なペリファイ動作が書込みが行われた1ワード線のメモリセルについて行われる。第10図はその書き込みペリファイ動作のタイミング図である。まずセンス信号SENSEが“H”レベルになり、センスアンプ回路2がイネーブルとなる。この時列アドレス発生回路7により列アドレスaiが*

表 - 1

データラッチ回路のデータ	1	1	0	0
センスアンプ回路出力	1	0	1	0
データ比較回路出力	0	1	0	0

データ比較回路3の出力に“1”が現れた場合には、ペリファイ終了検知回路9はペリファイ終了信号を出さないようにする。すなわち第9図において、書込みペリファイ信号 $\blacktriangle W-VERIFY \blacktriangledown$ によりフリップフロップが初期化された後、データ比較回路3の出力に“1”が現れると、フリップフロップの出力は“0”にセットされる。データ比較が終了するまではデータ比較信号が“0”、したがってペリファイ終了信号は“0”出力であ

12

*入力され、データ出力線にデータが出力されて、データラッチ回路5のデータがラッチ出力線に出力される。この書込みペリファイ動作のサイクルでは、第6図の制御回路にペリファイ信号W-VERIFYと読出し信号READが同時に入る。これらとアドレスai、 $\blacktriangle \overline{a_i} \blacktriangledown$ との論理によって、選択された制御ゲート線には、ペリファイ制御回路23によって、Vccと接地電位の中間に設定された書込みペリファイ電位VVER=2.5Vが供給される。それ以外の制御ゲート線には、消去/読出し制御回路24のNANDゲートG3の出力が“L”レベルとなって制御ゲート線にVccが供給される。この時第8図の制御回路により同時に選択される選択ゲート線SG1、SG2は共にVccに設定され、ビット線BLには1.5Vが与えられ、ソース線は0Vとされる。これにより、選択されたメモリセルが“1”書込みがなされたものであって、そのしきい値が2.5Vを越えていれば、選択されたメモリセルは非導通となり、データ“1”が読み出される。“1”書込みがなされたがしきい値が2.5Vに達していない場合には、選択されたメモリセルは導通するから、データ“0”として読み出される。そして、書込みデータとペリファイ動作により読み出されたデータとは、データ比較回路3によって比較されて、ラッチ信号LATCHVが“L”レベルが“H”レベルになることにより、比較結果がラッチされる。すなわち読み出されたデータが“1”であれば、これは比較回路3内のインバータ31で反転してデータラッチ回路4からの書込みデータ“1”とともにNANDゲート32に入り、インバータ33によって書込みデータが“1”であれば、“0”となってラッチ回路34にラッチされる。書込みデータが“1”であるが書込みが不十分で“0”と読み出された場合には、ラッチ回路34には“1”としてラッチされる。書込みデータが“0”の場合には、読み出されたデータの如何に拘らず、“0”として比較回路3内のラッチ回路34にラッチされる。以上のデータ比較回路3でのラッチデータの様子を表-1にまとめて示す。

り、ペリファイが終了していない事を示す。全ビット線のデータ比較が終了すると、データ比較終了信号が“1”になるが、ペリファイが終了しないと信号DoutVが“H”レベルになる事によって、データ比較回路3のデータが再度データバッファ8を介し、データ入力線を介して新しいデータとしてデータラッチ回路5にラッチされる。上の表から明らかなように、書込みが不十分であったアドレスについてのみ“1”データが再度ラッチされ、これ

13

よって再度“1”データ書込み動作が繰り返される。そして再度ペリファイ動作を行い、“1”書込み不十分のメモリセルがなくなると、データ比較回路3に1個も“1”が現れなくなり、フリップフロップは“0”にセットされたままになって、データ比較終了信号が“1”になったときに、ペリファイ終了検知回路9が終了信号“1”を出力し*

表-2

14

*で、データ書込み動作終了となる。

以上の各動作モードでの各部の電位関係をまとめて、表-2に示す。ここでは書込みおよび書込みペリファイ時制御ゲート線CG₂が選ばれた場合について示している。

	消去	消去 ペリファイ	書込み “1”	書込み “0”	書込み ペリファイ
ビット線	—	1.5V	10V	0V	1.5 V
SG ₁	0V	5V	10V	10V	5V
CG ₁	0V	0V	10V	10V	5V
CG ₂	0V	0V	20V	20V	2.5V
CG ₃	0V	0V	10V	10V	5V
CG ₄	0V	0V	10V	10V	5V
CG ₅	0V	0V	10V	10V	5V
CG ₆	0V	0V	10V	10V	5V
CG ₇	0V	0V	10V	10V	5V
CG ₈	0V	0V	10V	10V	5V
SG ₂	0V	5V	0V	10V	5V
ソース線	—	0V	0V	0V	0V
基板	20V	0V	0V	0V	0V

データ読出し動作は、従来と同様である。

以上のようにこの実施例によれば、データ消去のペリ
ファイ動作を実行することにより、消去状態のメモリセルのしきい値電圧をある値より小さく設定することができる。これにより、“0”読出し時の速度が遅くならないようにすることができ、また“1”書込み後のしきい値が大きくなり過ぎるのが防止される。

またこの実施例ではデータ書込み時、1回の書込み時間を短くして書込みが不十分なメモリセルに対しては再度書込みを行うという操作を繰り返す。これによって、従来のように1回の書込み動作で確実に“1”データを書き込む場合の製造プロセス等のばらつきに起因する過剰

な書込み、すなわち“1”データのしきい値が不必要に高くなることが防止され、“1”データが書き込まれた全メモリセルのしきい値のばらつきを小さいものとすることができる。この結果、非選択のメモリセルが転送ゲートとして働くNANDセル型のEEPROMの信頼性が高くなる。

なお実施例では、書込みペリファイ動作でのしきい値評価基準を2.5Vとしたがこれは許容しきい値分布との関係で、他の適当な値に設定することができる。1回の書込み時間についても同様であり、例えば最終的なしきい値分布をより小さいものとするためには、1回の書込み時間をより短くして小刻みに書込み／ペリファイ動作を繰り返すようにすればよい。消去ペリファイ動作時のチ

15

エック時間についても同様に必要に応じて適当な値に設定することができる。また実施例では、トンネル注入を利用したNANDセル型EEPROMについて説明したが、ホットエレクトロン注入等の方式を利用するものであっても、NANDセル型のEEPROMであれば本発明は有効である。

その他本発明は、その趣旨を逸脱しない範囲で種々変形して実施することができる。

【発明の効果】

以上述べたように本発明によれば、消去ペリファイ制御またはこれと共に書き込みペリファイ制御を行うことにより、メモリセルのしきい値を最適状態に設定して信頼性向上を図ったNANDセル型のEEPROMを提供することができる。

【図面の簡単な説明】

第1図は本発明の一実施例のEEPROMの構成を示す図、

第2図(a)(b)はそのメモリセルアレイの一つのNANDセルの平面図と等価回路図、

16

*第3図(a)(b)はそれぞれ第2図(a)のA-A'およびB-B'断面図、

第4図はメモリセルアレイの等価回路図、

第5図および第6図は第1図の要部構成を具体的に示す図、

第7図は書き込みペリファイ電位発生回路を示す図、

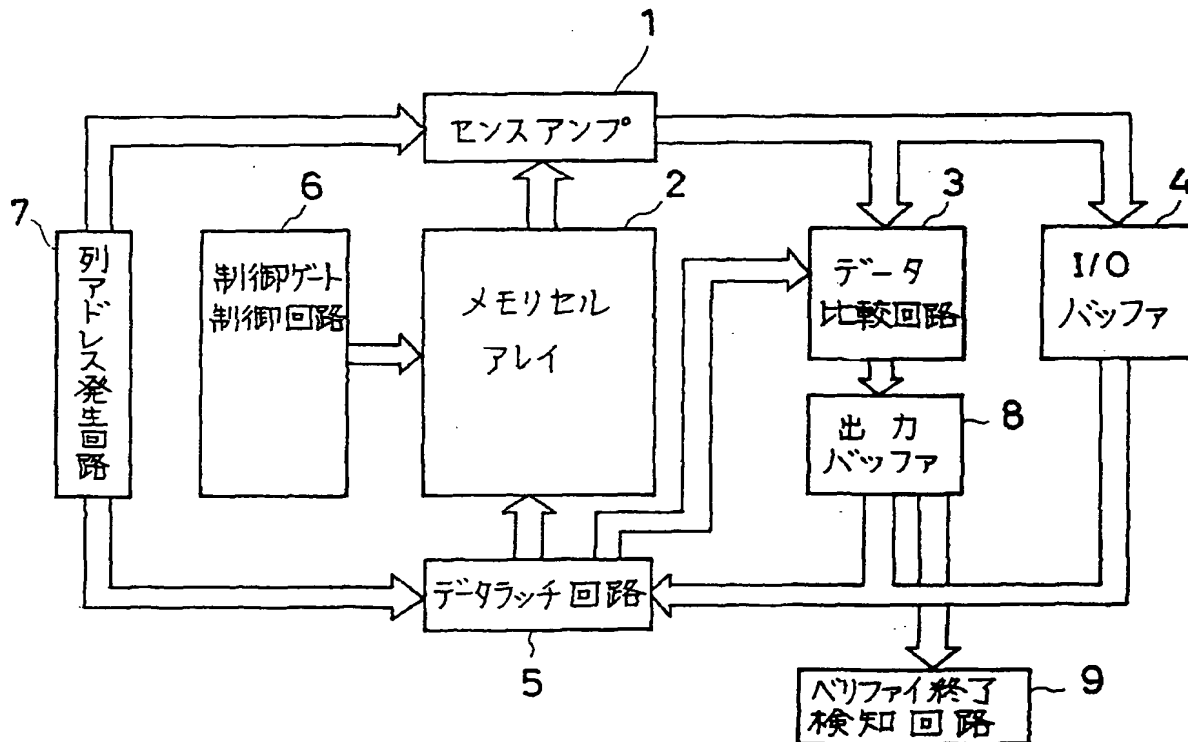
第8図は選択ゲート制御回路を示す図、

第9図はペリファイ終了検知回路の構成例を示す図、

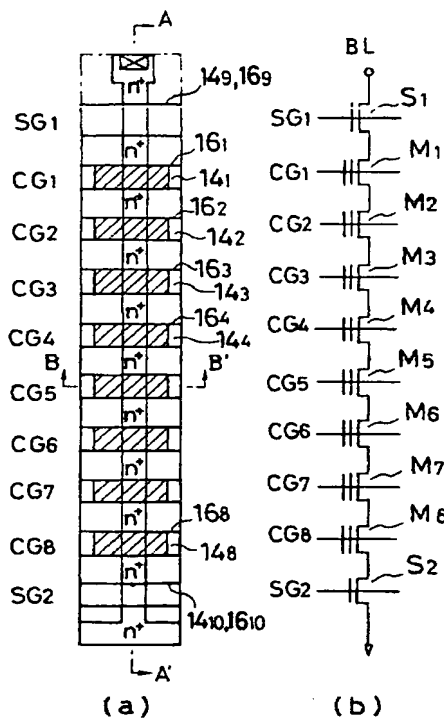
第10図は書き込みペリファイ動作を説明するためのタイミング図である。

1……センスアンプ回路、2……メモリセルアレイ、3……データ比較回路、4……入出力バッファ、5……データラッチ回路、6……制御ゲート制御回路、7……列アドレス発生回路、8……出力バッファ、9……ペリファイ終了検知回路、21……高電位供給回路、22……中間電位供給回路、23……書き込みペリファイ電位供給回路、24……消去／読出し制御回路、25……タイマ。

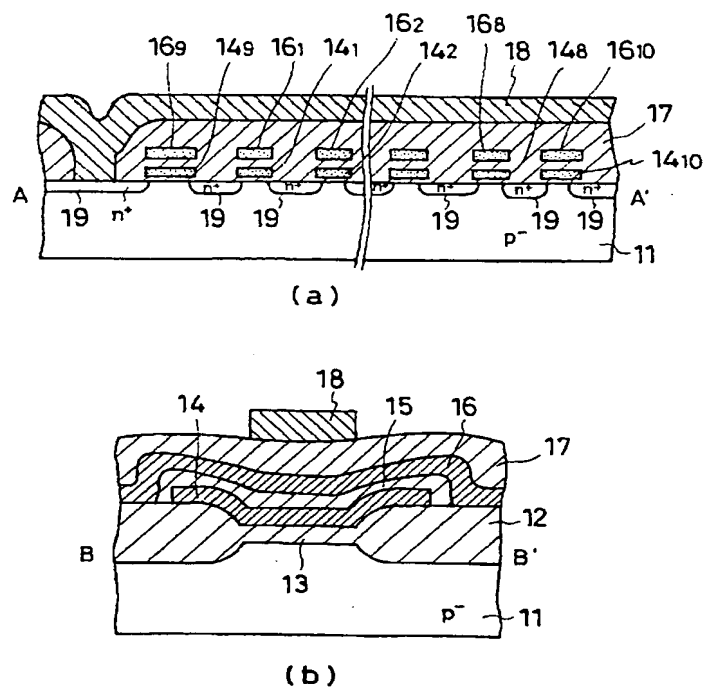
【第1図】



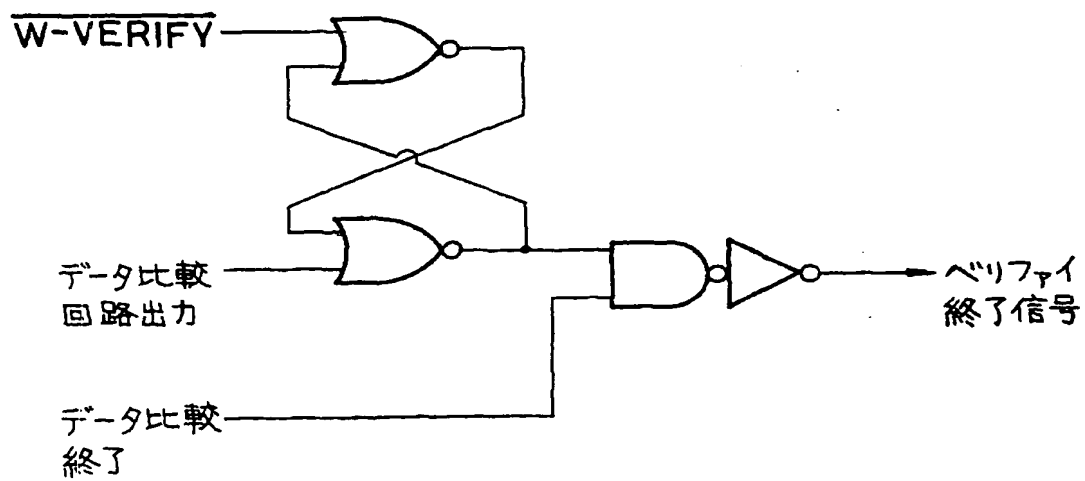
【第2図】



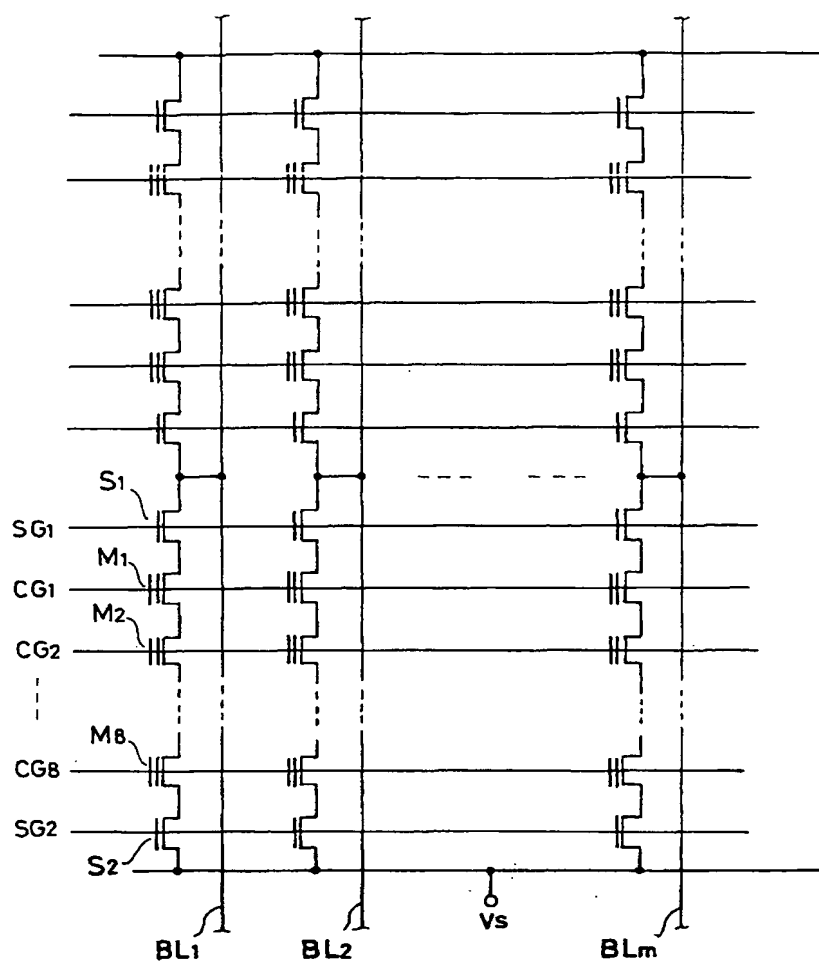
【第3図】



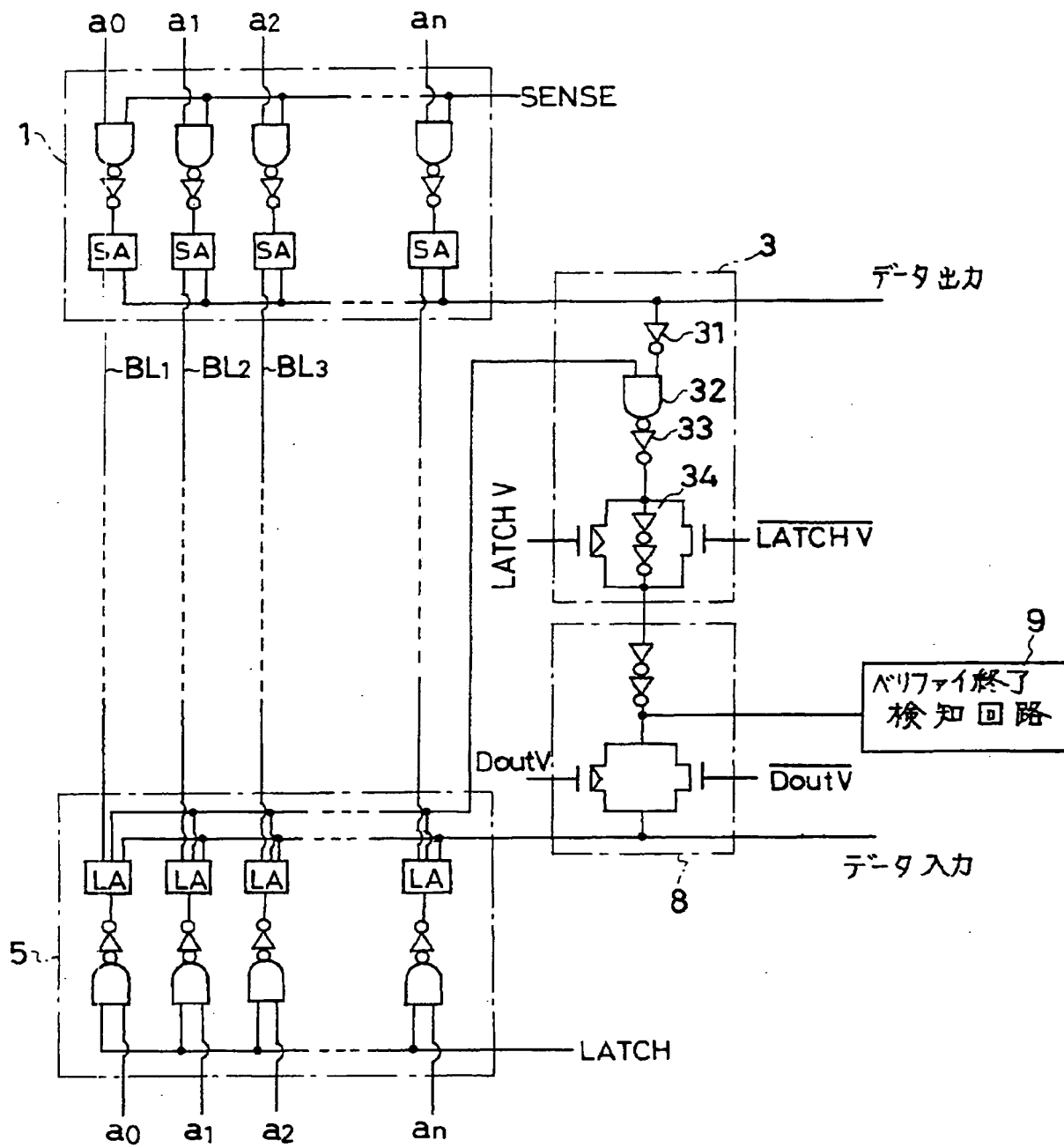
【第9図】



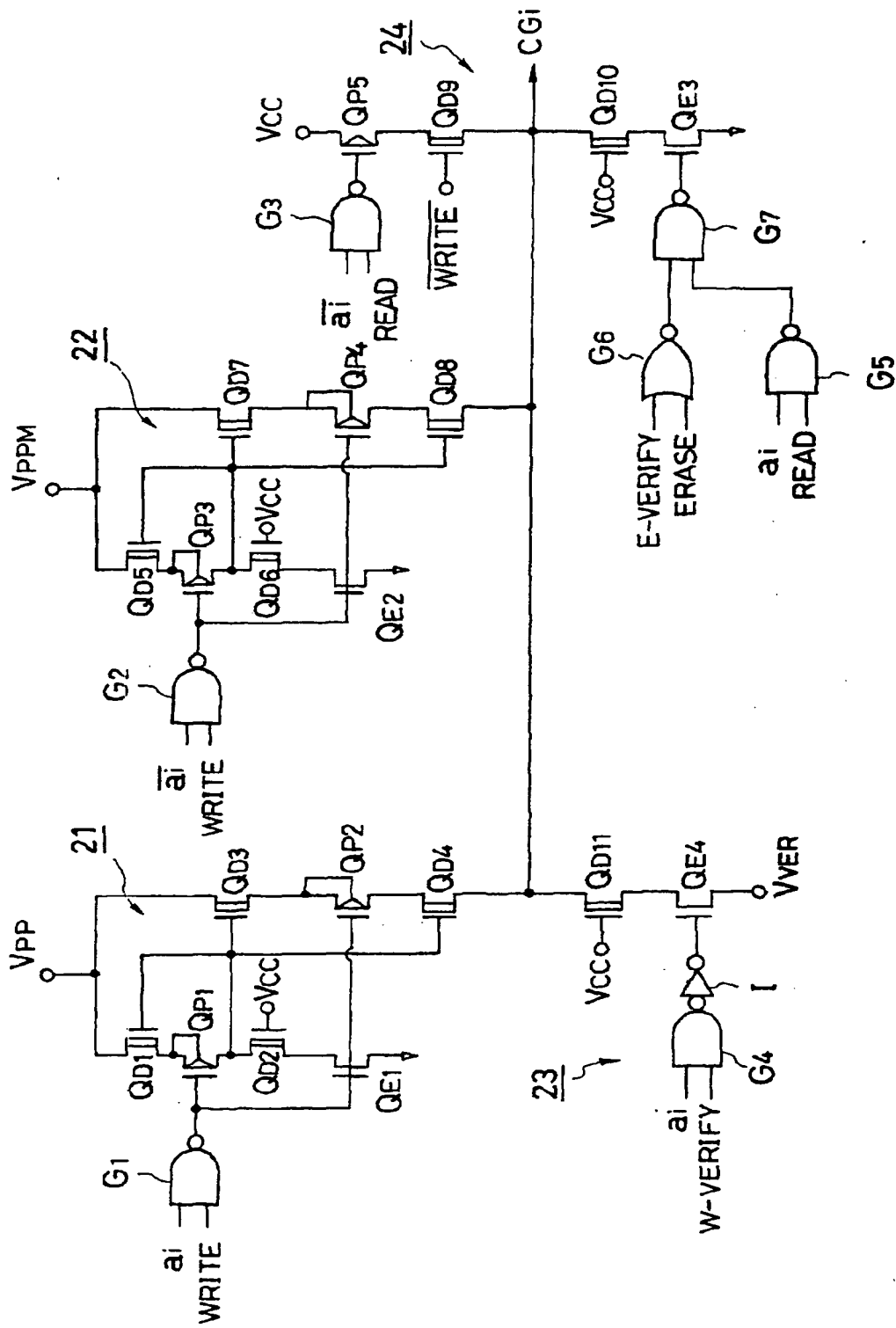
【第4図】



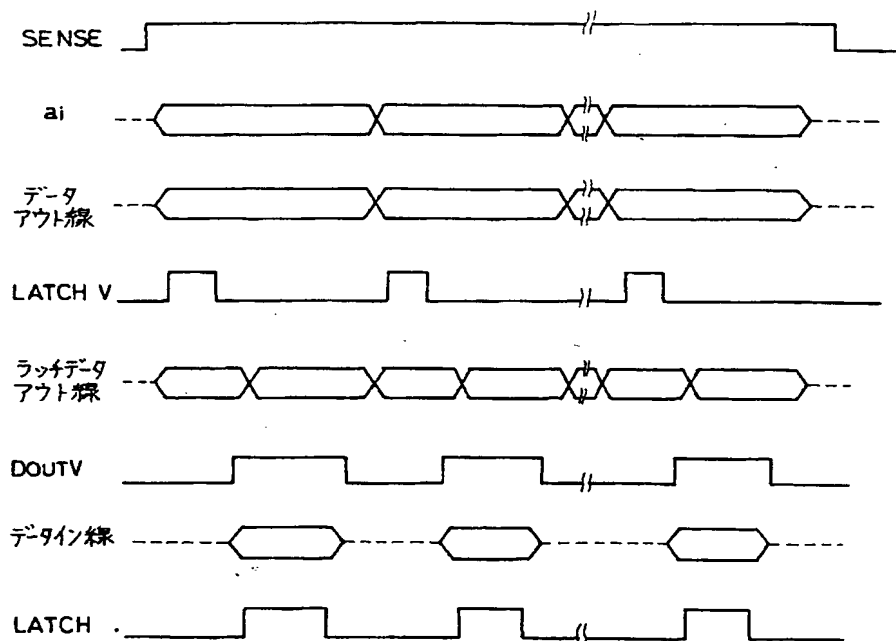
【第5図】



【第6図】



【第 1 0 図】



フロントページの続き

(72) 発明者 伊藤 寧夫
神奈川県川崎市幸区小向東芝町 1 番地
株式会社東芝総合研究所内

(72) 発明者 百富 正樹
神奈川県川崎市幸区小向東芝町 1 番地
株式会社東芝総合研究所内

(72) 発明者 舩岡 富士雄
神奈川県川崎市幸区小向東芝町 1 番地
株式会社東芝総合研究所内

(56) 参考文献 特開 昭62-266798 (J P, A)
特開 平 2-64995 (J P, A)
特開 昭62-222498 (J P, A)
特開 平 1-159895 (J P, A)

(58) 調査した分野 (Int. Cl. 7, D B 名)
G11C 16/00 - 16/34